

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358295
 (43)Date of publication of application : 26.12.2001

(51)Int.Cl. H01L 27/04
 H01L 21/822

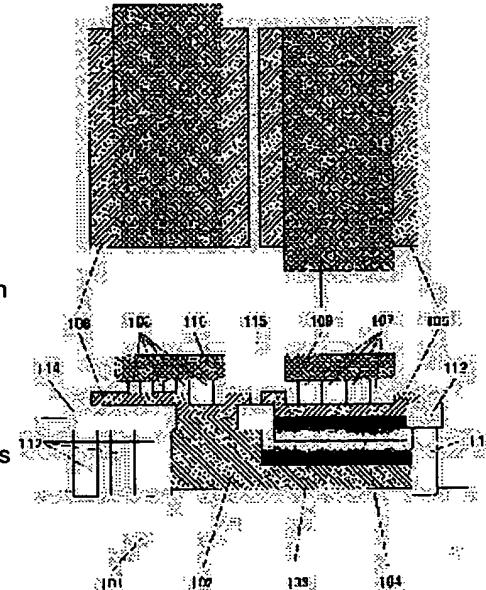
(21)Application number : 2000-177935 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 14.06.2000 (72)Inventor : NAKATANI TOSHIBUMI
 ANDO TOSHIAKI
 SAKAKURA MAKOTO

(54) VARACTOR AND INTEGRATED CIRCUIT INCORPORATING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To overcome the problem such that parasitic resistance in a wiring layer increases and the power loss of a high-frequency signal increase in a conventional configuration.

SOLUTION: A second silicon layer of a different conductivity type from that of a first silicon layer is formed on the upper layer of the first silicon layer, the first silicon layer is taken out upward close to the second silicon layer, the take-out part of the first silicon layer is connected to an upper wiring layer, and an isolation layer that is mainly composed of silicon oxide for isolating the first silicon layer and another adjacent device is formed at the lower portion of the wiring layer excluding the take-out part of the first silicon layer, thus changing the voltage between the first silicon layer and the second silicon layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-358295

(P2001-358295A)

(43)公開日 平成13年12月26日 (2001.12.26)

(51)Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

テマコード(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21)出願番号 特願2000-177935(P2000-177935)

(22)出願日 平成12年6月14日 (2000.6.14)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中谷 俊文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 安藤 敏晃

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

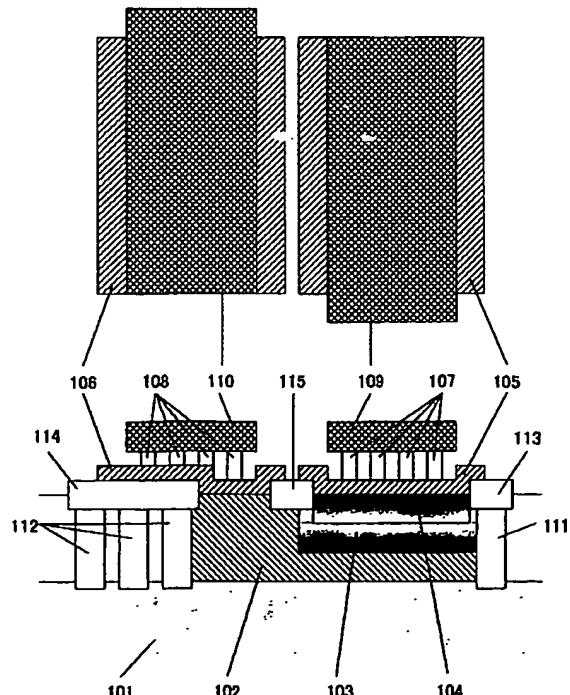
最終頁に続く

(54)【発明の名称】 可変容量素子および可変容量素子内蔵集積回路

(57)【要約】

【課題】 従来の構成では、配線層における寄生抵抗が増え、高周波信号の電力損失が大きくなるという課題を有していた。

【解決手段】 第1のシリコン層の上層に前記第1のシリコン層とは異なる導電型の第2のシリコン層が形成され、前記第1のシリコン層が前記第2のシリコン層に近接して上方に取り出され、前記第1のシリコン層の取り出し部が上方の配線層と接続され、前記第1のシリコン層の取り出し部を除く前記配線層の下方に前記第1のシリコン層と隣接する他素子とを分離する主に酸化シリコンで構成される分離層が形成され、前記第1のシリコン層と前記第2のシリコン層との間の電圧を変化させる。



【特許請求の範囲】

【請求項1】シリコン基板の上層に前記シリコン基板層とは異なる導電型の第1のシリコン層が形成され、前記第1のシリコン層の上層に前記第1のシリコン層とは異なる導電型の第2のシリコン層が形成され、前記第1のシリコン層が前記第2のシリコン層に近接して上方に取り出され、前記第1のシリコン層の取り出し部が上方の配線層と接続され、前記第1のシリコン層の取り出し部を除く前記配線層の下方に前記第1のシリコン層と隣接する他素子とを分離する主に酸化シリコンで構成される分離層が形成され、前記第1のシリコン層と前記第2のシリコン層との間の電圧を変化させることによって前記第1のシリコン層と前記第2のシリコン層との間の容量値を変化させることを特徴とする可変容量素子。

【請求項2】前記第2のシリコン層が長方形またはそれに類似した形状であり、前記第1のシリコン層が前記第2のシリコン層の長辺の一方側より取り出されていることを特徴とする請求項1記載の可変容量素子。

【請求項3】前記第2のシリコン層が長方形またはそれに類似した形状であり、前記第1のシリコン層が前記第2のシリコン層の長辺の両側より取り出されていることを特徴とする請求項1記載の可変容量素子。

【請求項4】前記第2のシリコン層が長方形またはそれに類似した形状であり、さらに前記第2のシリコン層がその長辺側が相対する形で2つ設置され、相対する前記第2のシリコン層の間より前記第1のシリコン層が取り出されていることを特徴とする請求項1記載の可変容量素子。

【請求項5】前記第2のシリコン層が長方形またはそれに類似した形状であり、さらに前記第2のシリコン層がその長辺側が相対する形で複数設置され、相対する前記第2のシリコン層の間より前記第1のシリコン層がそれぞれ取り出されていることを特徴とする請求項1記載の可変容量素子。

【請求項6】前記シリコン基板と前記第1のシリコン層間に埋込酸化膜層を備えたことを特徴とする請求項1～5のいずれかに記載の可変容量素子。

【請求項7】請求項1～6のいずれかに記載の第1、2の可変容量素子の前記第1のシリコン層が互いに接続され、前記第1、2の可変容量素子の前記第2のシリコン層が第1、2の共振用コンデンサを介して第1、2のトランジスタのベースにそれぞれ接続され、前記第1、2のトランジスタのエミッタは第1、2の出力端子にそれぞれ接続され、前記第1、第2のトランジスタのコレクタは互いに接続され、共振用コイルは前記第1、2の可変容量素子の前記第2のシリコン層間に挿入され、第2、3の共振用コンデンサは前記第1、2のトランジスタのエミッタ・ベース間にそれぞれ挿入され、第4の共振用コンデンサは前記第1、2のトランジスタのエミッタ間に挿入され、前記可変容量素子の容量値を変化させ

ることによって出力信号の周波数が変化する発振回路として動作することを特徴とする可変容量素子内蔵集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変容量素子、特に高周波回路に用いられる集積回路内蔵の可変容量素子に関する。

【0002】

10 【従来の技術】近年、携帯電話などの移動体通信市場の発展に伴い、回路の小型化、低コスト化などを目的として、インダクタ、キャパシタなど従来は単独部品であった素子のIC集積化が重要となっている。このような素子の1つに可変容量素子がある。可変容量素子は、発振回路の発振周波数を変化させる用途などに用いられる。

【0003】図6は、従来のIC上に構成された可変容量素子の構成例を示す。同図において、601はp型シリコン基板、602はn型埋込電極層、603はn型コレクタ層、604はp型ベース層、605はp型電極層、606はn型電極層、607、608はビア、609、610は配線層、611、612はディープトレンチ、613、614、615はLOCOSである。n型埋込電極層602は異なる導電型であるp型シリコン基板601の上層に形成され、n型コレクタ層603はn型埋込電極層602の上層に形成され、p型ベース層604はn型コレクタ層603の上層に形成され、p型電極層605はp型ベース層604上層に形成される。配線層609はp型電極層605の上方に形成され、両者は1つまたは複数のビア607を介して接続される。

20 20 【0004】また、n型埋込電極層602は上方に引き出され、その上層にn型電極層606が形成される。配線層610はn型電極層606の上方に形成され、両者は1つまたは複数のビア608を介して接続される。n型埋込電極層602、n型コレクタ層603、p型ベース層604はディープトレンチ611、612より隣接する素子と分離され、p型電極層605、n型電極層606はLOCOS613～615により、互いどうしもしくは隣接素子の電極層と分離される。

30 30 【0005】配線層609と配線層610の間の電位差を変化させることにより、p型ベース層604とn型コレクタ層603間のpn接合の空乏層厚が変化する。これにより、配線層609と配線層610の間の容量値が変化する可変容量素子として動作する。また、n型埋込電極層602とシリコン基板601の間はpn接合の空乏層により分離されている。

40 40 【0006】同様の可変容量素子が、バイポーラトランジスタのエミッタとベース間のpn接合またはp-chMOSFETのドレインもしくはソースとn型ウェル層間のpn接合を用いて構成されることもある。

【発明が解決しようとする課題】上記の構成ではn型埋込電極層602とp型シリコン基板601の間が空乏層により分離されているが、両者の間の寄生容量が十分に小さくならない。そのため、n型埋込電極層602に高周波信号が流れる場合、その一部がp型シリコン基板601に流れ込み、電力損失が生じる。またp型シリコン基板601において生じた雑音がn型埋込電極層602に流れ込み、高周波信号に重複される。それに対しn型埋込電極層602とp型シリコン基板601の間の寄生容量を低減する方法として、配線層610を細くしn型電極層606の取り出し部の面積を小さくすることにより、n型埋込電極層602とP型シリコン基板601の接する面積を低減するということが考えられる。しかしながら、その場合には配線層610における寄生抵抗が増え、高周波信号の電力損失が大きくなるという課題を有していた。

【0008】本発明は上記問題点に鑑み、配線層における寄生抵抗を増やすことなく対基板浮遊容量を低減した可変容量素子を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明では、上述の目的を達成するために、次のような構成をとる。

【0010】すなわち、本発明の可変容量素子は、シリコン基板の上層に前記シリコン基板層とは異なる導電型の第1のシリコン層が形成され、前記第1のシリコン層の上層に前記第1のシリコン層とは異なる導電型の第2のシリコン層が形成され、前記第1のシリコン層が前記第2のシリコン層に近接して上方に取り出され、前記第1のシリコン層の取り出し部が上方の配線層と接続され、前記第1のシリコン層の取り出し部を除く前記配線層の下方に前記第1のシリコン層と隣接する他素子とを分離する主に酸化シリコンで構成される分離層が形成され、前記第1のシリコン層と前記第2のシリコン層との間の電圧を変化させることによって前記第1のシリコン層と前記第2のシリコン層との間の容量値を変化させるものである。

【0011】本発明によれば、前記配線層の下方に酸化シリコンの分離層を形成することによって前記配線層の抵抗を増やすことなく前記第1のシリコン層と前記シリコン基板との間の浮遊容量の小さい可変容量素子を実現できる。

【0012】

【発明の実施の形態】以下、図面によって本発明の実施の形態について詳細に説明する。

【0013】(実施の形態1) 図1は、本発明の実施の形態1における可変容量素子の構成を示したものである。同図において、101はp型シリコン基板、102はn型埋込電極層、103はn型コレクタ層、104はp型ベース層、105はp型電極層、106はn型電極層、107、108はピア、109、110は配線層、

111、112はディープトレーンチ、113、114、115はLOCOSである。

【0014】n型埋込電極層102は異なる導電型であるp型シリコン基板101の上層に形成され、n型コレクタ層103はn型埋込電極層102の上層に形成され、p型ベース層104はn型コレクタ層103の上層に形成され、p型電極層105はp型ベース層104上層に形成される。配線層109はp型電極層105の上方に形成され、両者は1つまたは複数のピア107を介して接続される。

【0015】また、n型埋込電極層102は上方に引き出され、その上層にn型電極層106が形成される。配線層110はp型電極層106の上方に形成され、両者は1つまたは複数のピア108を介して接続される。さらに、n型電極層106、ピア108、配線層110は、ディープトレーンチ112およびLOCOS114の上方に渡って形成される。n型埋込電極層102、n型コレクタ層103、p型ベース層104はディープトレーンチ111、112より隣接する素子と分離され、p型電極層105、n型電極層106はLOCOS113～115により、互いどうしもしくは隣接素子の電極層と分離される。

【0016】ここで、仮に本発明の実施の形態1の配線層と従来例の配線層109、110の線幅、線長が同じであると仮定した場合、本発明の実施の形態1は従来例と比較して配線層110における寄生抵抗は増えない。しかしながら、配線層110の下方にディープトレーンチ112を1つまたは複数配置し、それにあわせてLOCOS114も配線層110の下方に広げることにより、p型シリコン基板101とn型埋込電極層102の接する面積を低減でき、その結果p型シリコン基板101とn型埋込電極層102との間の寄生容量を低減することが可能となる。ここで、n型埋込電極層102とn型電極層106のコンタクトの面積が従来例と比較して小さくなり、その結果コンタクト部の寄生抵抗が大きくなるが、この寄生抵抗は配線層110における寄生抵抗などと比較して十分小さいため、可変容量素子全体としての特性劣化には寄与しない。

【0017】このような構成により、寄生抵抗を増やすことなく対基板寄生容量を低減した可変容量素子が実現できる。

【0018】なお、本発明の他の実施の形態として、LOCOS113～115の代わりにシャロートレンチを用いてもよい。

【0019】また、本発明の他の実施の形態として、n型コレクタ層103の代わりにn型ウェル層を、p型ベース層104の代わりにp型ドレン層もしくはp型ソース層を用いてもよい。

【0020】また、本発明の他の実施の形態として、p型シリコン基板101の代わりにシリコン酸化膜がp型

シリコン層の上層に形成されたSOI基板を用いてよい。

【0021】(実施の形態2) 図2は、本発明の実施の形態2における可変容量素子の構成を示したものである。同図において、201はp型シリコン基板、202はn型埋込電極層、203はn型コレクタ層、204はp型ベース層、205はp型電極層、206、207はn型電極層、208～210はビア、211、212は配線層、213、214はディープトレンチ、215～218はLOCOSである。

【0022】n型埋込電極層202は異なる導電型であるp型シリコン基板201の上層に形成され、n型コレクタ層203はn型埋込電極層202の上層に形成され、p型ベース層204はn型コレクタ層203の上層に形成され、p型電極層205はp型ベース層204上層に形成される。配線層211はp型電極層205の上方に形成され、両者は1つまたは複数のビア208を介して接続される。

【0023】また、n型埋込電極層202は左右より上方に引き出され、その上層にn型電極層206、207が形成される。配線層212はn型電極層206、207の上方にそれぞれ形成され、両者は1つまたは複数のビア209、210を介してそれぞれ接続される。さらに、n型電極層206、ビア209、配線層212は、ディープトレンチ213およびLOCOS215の上方に渡って形成され、n型電極層207、ビア210、配線層212は、ディープトレンチ214およびLOCOS216の上方に渡って形成される。

【0024】また、n型埋込電極層202はディープトレンチ213、214より隣接する素子と分離され、p型電極層205、n型電極層206、207はLOCOS215～218により、互いどうしもしくは隣接素子の電極層と分離される。

【0025】本発明の実施の形態2の可変容量素子は、2つの本発明の実施の形態1の可変容量素子の片方を左右反転させ、さらにベース層の取り出し側で両者を接続した構成となっている。本発明の実施の形態1の可変容量素子を2つ分の容量値が必要な回路において、本発明の実施の形態2の可変容量素子を用いることにより、本発明の実施の形態1の可変容量素子を2つ並べた場合と比較して、2つの素子間にトレンチが必要でないため、さらに素子全体の占有面積を低減できる。集積回路において同じ機能を持つ回路をより面積の小さいチップで実現することはコスト削減につながるため、素子1つの占有面積を減らすことは非常に重要である。

【0026】このような構成により、寄生抵抗を増やすことなく対基板寄生容量を低減しつつ占有面積の小さい可変容量素子が実現できる。

【0027】なお、本発明の他の実施の形態として、LOCOS215～218の代わりにシャロートレンチを

用いてよい。

【0028】また、本発明の他の実施の形態として、n型コレクタ層203の代わりにn型ウェル層を、p型ベース層204の代わりにp型ドレイン層もしくはp型ソース層を用いてよい。

【0029】また、本発明の他の実施の形態として、p型シリコン基板201の代わりにシリコン酸化膜がp型シリコン層の上層に形成されたSOI基板を用いてよい。

10 【0030】(実施の形態3) 図3は、本発明の実施の形態3における可変容量素子の構成を示したものである。同図において、301はp型シリコン基板、302、303はn型埋込電極層、304、305はn型コレクタ層、306、307はp型ベース層、308、309はp型電極層、310はn型電極層、311～313はビア、314、315は配線層、316～318はディープトレンチ、319～323はLOCOSである。

【0031】n型埋込電極層302、303は異なる導電型であるp型シリコン基板301の上層に形成され、n型コレクタ層304、305はn型埋込電極層302、303の上層にそれぞれ形成され、p型ベース層306、307はn型コレクタ層304、305の上層にそれぞれ形成され、p型電極層308、309はp型ベース層306、307上層にそれぞれ形成される。配線層314はp型電極層308、309の上方に形成され、両者は1つまたは複数のビア311、312を介してそれぞれ接続される。

【0032】また、n型埋込電極層302、303はn型コレクタ層304、305の間より上方に引き出され、その上層にn型電極層310が形成される。配線層315はn型電極層310の上方に形成され、両者は1つまたは複数のビア313を介して接続される。さらに、n型電極層310、ビア313、配線層315は、ディープトレンチ316およびLOCOS319の上方に渡って形成される。

【0033】また、n型埋込電極層302、303、n型コレクタ層304、305、p型ベース層306、307はディープトレンチ317、318より隣接する素子と分離され、p型電極層308、309、n型電極層310はLOCOS320～323により、互いどうしもしくは隣接素子の電極層と分離される。

【0034】本発明の実施の形態3の可変容量素子は、2つの本発明の実施の形態1の可変容量素子の片方を左右反転させ、さらにn型埋込電極層の取り出し側で両者を接続した構成となっている。本発明の実施の形態1の可変容量素子を2つ分の容量値が必要な回路において、本発明の実施の形態3の可変容量素子を用いることにより、本発明の実施の形態1の可変容量素子を2つ並べた場合と比較して、2つの素子間のトレンチを減らせるた

め、本発明の実施の形態3の可変容量素子と同様に素子全体の占有面積を低減できる。

【0035】このような構成により、寄生抵抗を増やすことなく対基板寄生容量を低減しつつ占有面積の小さい可変容量素子が実現できる。

【0036】なお、本発明の他の実施の形態として、LOCOS319～323の代わりにシャロートレンチを用いてもよい。

【0037】また、本発明の他の実施の形態として、n型コレクタ層304、305の代わりにn型ウェル層を、p型ベース層306、307の代わりにp型ドレイン層もしくはp型ソース層を用いてもよい。

【0038】また、本発明の他の実施の形態として、p型シリコン基板301の代わりにシリコン酸化膜がp型シリコン層の上層に形成されたSOI基板を用いてもよい。

【0039】(実施の形態4) 図4は、本発明の実施の形態4における可変容量素子の構成を示したものである。同図において、401～403はp型電極層、404～406はn型電極層、407、408は配線層である。配線層407はp型電極層401～403の上方に形成され、配線層408はn型電極層404～406の上方に形成される。

【0040】本発明の実施の形態4における可変容量素子は、3つ以上の本発明の実施の形態1における可変容量素子を本発明の実施の形態2および本発明の実施の形態3と同様の構造で交互に接合された構成となっている。本発明の実施の形態1における可変容量素子は寄生抵抗を小さくするため、通常細長い形状となる。しかしながら、集積回路に用いる場合、素子の形状は正方形に近い方がレイアウトが容易となる。本発明の実施の形態4における可変容量素子は、図4に示すように1組のp型電極層およびn型電極層は細長い形状をしているが、全体として正方形に近いレイアウトとなっている。

【0041】このような構成により、寄生抵抗を増やすことなく正方形に近いレイアウトの可変容量素子が実現できる。

【0042】(実施の形態5) 図5は本発明の実施の形態5における可変容量内蔵集積回路の構成を示す回路図であり、発振回路への応用例を示したものである。同図において501、502は本発明の実施の形態1～4に示す可変容量素子、503、504、505、506はバイポーラトランジスタ、507は共振用コイル、508～512は共振用コンデンサ、513～517はチョークコイル、518～523は結合コンデンサ、524～533は抵抗である。

【0043】第1の出力端子1は、結合コンデンサ522を介してバイポーラトランジスタ505のコレクタ端子に接続され、バイポーラトランジスタ505のベース端子は、結合コンデンサ520を介してバイポーラト

ランジスタ503のエミッタ端子に接続され、バイポーラトランジスタ503のベース端子は、共振用コンデンサ511を介して共振用コイル507の端子5に接続される。

【0044】第2の出力端子2は、結合コンデンサ523を介してバイポーラトランジスタ506のコレクタ端子に接続され、バイポーラトランジスタ506のベース端子は、結合コンデンサ521を介してバイポーラトランジスタ504のエミッタ端子に接続され、バイポーラトランジスタ504のベース端子は共振用コンデンサ512を介して共振用コイル507の端子6に接続される。共振用コイルの端子5は、結合コンデンサ518を介して可変容量素子501のベース端子に接続され、共振用コイルの端子6は、結合コンデンサ519を介して可変容量素子502のベース端子に接続される。

【0045】電圧制御端子4は、チョークコイル513を介して可変容量素子501、502のコレクタ端子に接続される。可変容量素子501のベース端子は、チョークコイル514を介して接地され、可変容量素子502のベース端子は、チョークコイル515を介して接地される。共振用コンデンサ508は、バイポーラトランジスタ503のエミッタ端子とバイポーラトランジスタ504のエミッタ端子の間に挿入され、共振用コンデンサ509は、バイポーラトランジスタ503のエミッタ端子とコレクタ端子の間に挿入され、共振用コンデンサ510は、バイポーラトランジスタ504のエミッタ端子とコレクタ端子の間に挿入される。

【0046】バイポーラトランジスタ503、504のコレクタ端子は、バイポーラトランジスタ505、506のエミッタ端子に接続される。バイポーラトランジスタ505のコレクタ端子は、チョークコイル516を介して電源端子3に接続され、バイポーラトランジスタ506のコレクタ端子は、チョークコイル517を介して電源端子3に接続される。バイポーラトランジスタ503のベース端子は、抵抗526を介して電源端子3に接続され、抵抗524を介して接地される。

【0047】バイポーラトランジスタ504のベース端子は抵抗527を介して電源端子3に接続され、抵抗525を介して接地される。バイポーラトランジスタ503のエミッタ端子は、抵抗528を介して接地される。バイポーラトランジスタ504のエミッタ端子は、抵抗529を介して接地される。バイポーラトランジスタ505のベース端子は、抵抗532を介して電源端子3に接続され、抵抗530を介して接地される。バイポーラトランジスタ506のベース端子は抵抗533を介して電源端子3に接続され、抵抗531を介して接地される。

【0048】このような構成で、出力信号の周波数を変える可変容量素子として本発明の実施の形態1～4の可変容量素子を用いることにより、雑音の低い発振回路を

実現できる。

【0049】なお、本回路はコレクタ接地コルピツ型バランス発振回路であるが、ベース接地コルピツ型バランス発振回路でも同様の効果を実現することが可能である。

[0050]

【発明の効果】以上のように本発明によれば、配線層における寄生抵抗を増やすことなく対基板浮遊容量を低減した可変容量素子が実現できる。

【0051】また、本発明によれば、占有面積の小さい可変容量素子が実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の可変容量素子の上面図
および断面図

【図2】本発明の実施の形態2の可変容量素子の上面図
および断面図

【図3】本発明の実施の形態3の可変容量素子の上面図
および断面図

【図4】本発明の実施の形態4の可変容量素子の上面図
【図5】本発明の実施の形態5の可変容量素子内蔵集積

回路の構成図

【図6】従来の可変空量電子の上部図および断面図

【図3】従来の耐夏着基準による上面図および断面図
【符号の説明】

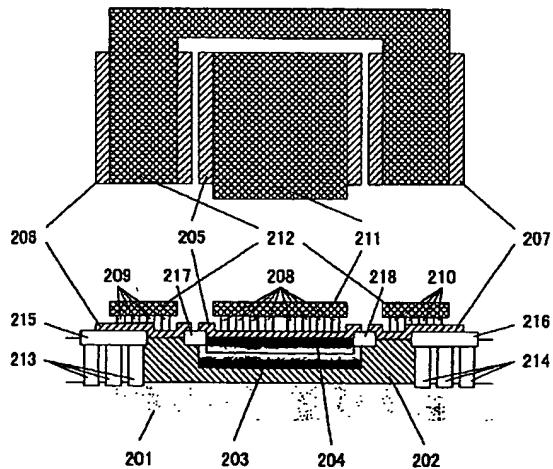
【待考の説引】

101, 201, 301, 601 p型シリコン基板
102, 202, 302, 303, 602 n型埋込電
極層

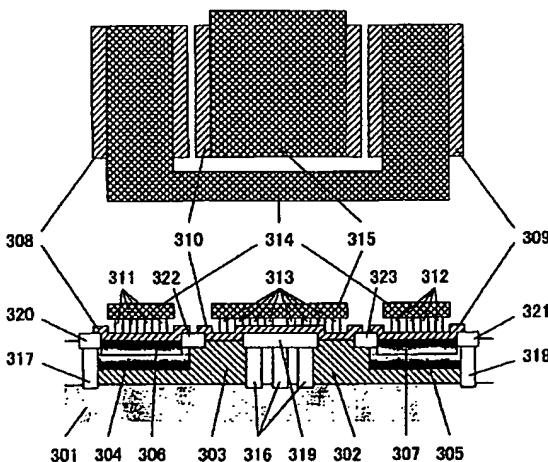
103, 203, 304, 305, 603 n型コレクタ層

104, 204, 306, 307, 604 p型ベース
 層
 105, 205, 308, 309, 401, 402, 403, 605 p型電極層
 106, 206, 207, 310, 404, 405, 406, 606 n型電極層
 107, 108, 208, 209, 210, 311, 312, 313, 607, 608 ピア
 109, 110, 211, 212, 314, 315, 410 07, 408, 609, 610 配線層
 111, 112, 213, 214, 316, 317, 318, 611, 612 ディープトレンチ
 113, 114, 115, 215, 216, 217, 218, 319, 320, 321, 322, 323, 613, 614, 615 LOCOS
 501, 502 実施の形態1～4の可変容量素子
 503, 504, 505, 506 バイポーラトランジスタ
 507 共振用コイル
 20 508, 509, 510, 511, 512 共振用コンデンサ
 513, 514, 515, 516, 517 チョークコイル
 518, 519, 520, 521, 522, 523 結合コンデンサ
 524, 525, 526, 527, 528, 529, 530, 531, 532, 533 抵抗

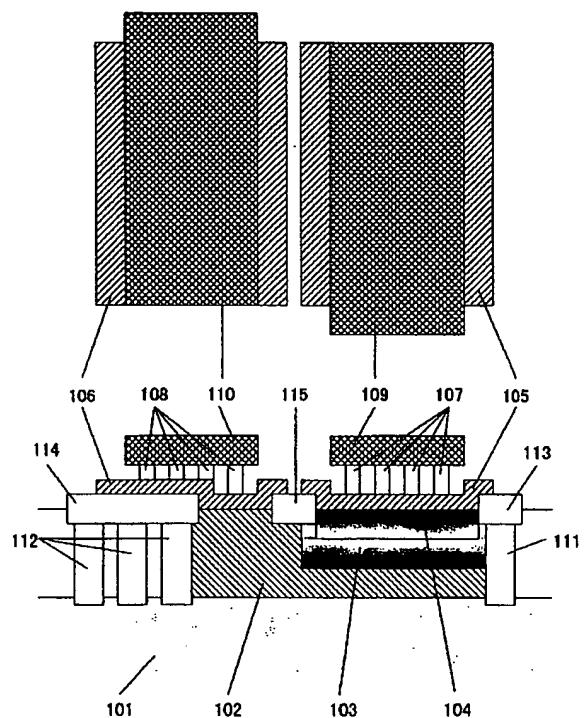
〔図2〕



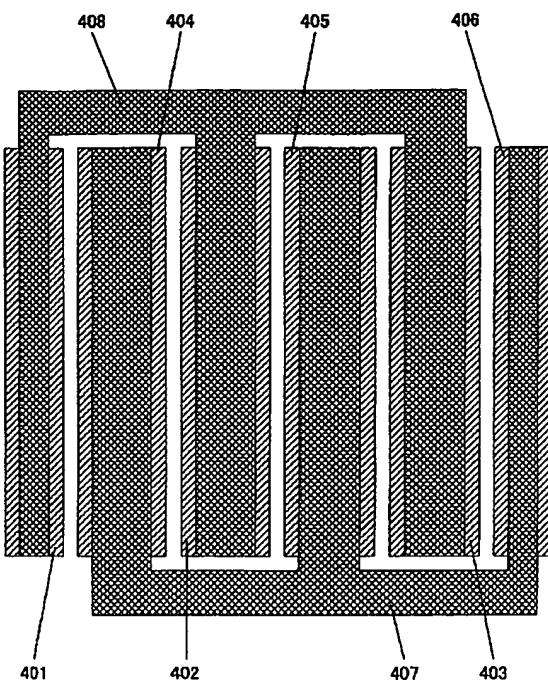
〔四三〕



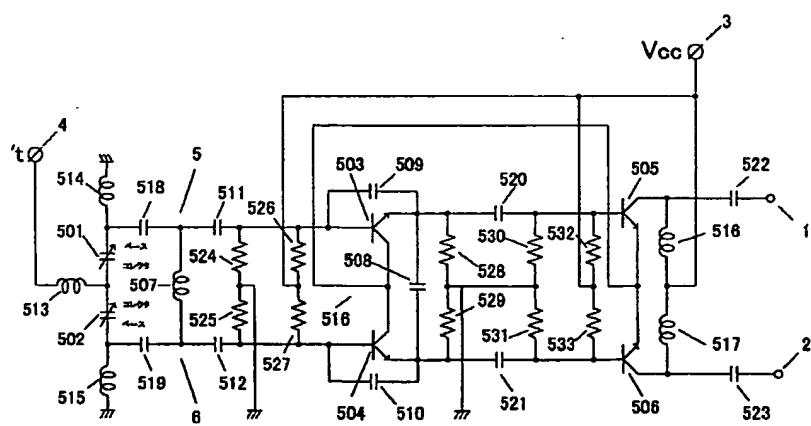
【図1】



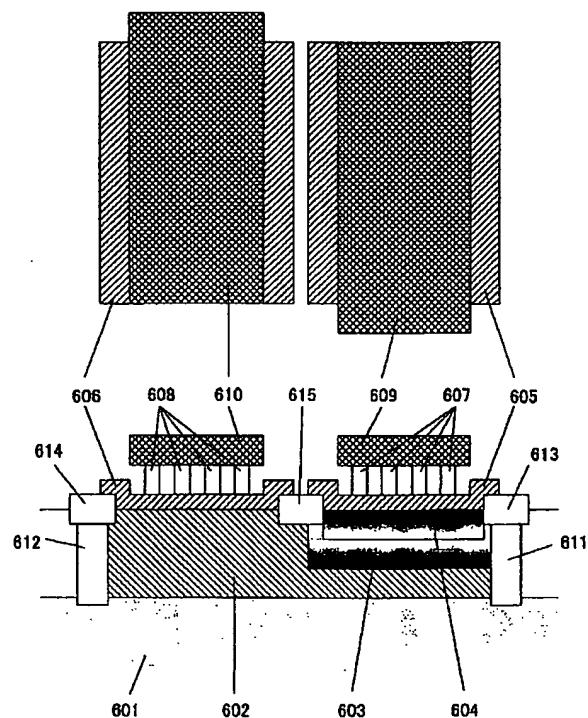
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 坂倉 真

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

F ターム(参考) 5F038 AC05 AC06 AC07 AC12 CA02

CA05 CA09 CA16